

[0093] <製造方法(その2) (第1及び第2の態様)>図1～4～図18は実施の形態2の第1及び第2の

態様における製造方法の素子分離工程を示す断面図である。図14～図18で示す方法は部分トレンチ分離と完全トレンチ分離併用による方法である。

1、埋め込み酸化膜2及びシリコン層50からなる積層構造を発展材料とする。この際、シリコン層50は最終的に削除されるSOI層3の底面よりも深くする。

[0095] そして、図15に示すように、SOI基板上に、酸化膜41と電化膜42を最初に形成した後、パターニングしたレジスト46をマスクとして分離領域のパターン化処理を行い、シリコン層50の表面が露出するように電化膜42及び酸化膜41をエッチングして複数の部分トレンチ44を形成する。

[0096] 次に、図16に示すように、複数の部分トレンチ44のうち、一部を覆うようビレジスト49を形成して、レジスト49で覆われなかった部分トレンチ44をさらにエッチングすることにより、シリコン層50を露出させた完全トレンチ48を形成する。

[0097] 次に、図17に示すように、酸化膜を堆積し、通常のトレンチ分離と同様の手法でCMP処理により電化膜42の途中まで研磨し、その後、電化膜42、酸化膜41の除去を行うことにより、部分酸化膜31及びその下のシリコン層50(ウェーブ領域)と完全酸化膜32と共に電化膜42を形成する。

[0098] そして、図18に示すように、シリコン層50からエビタキシャル成長させたエビタキシャルシリコン層51を形成することにより、シリコン層50及びエビタキシャルシリコン層51からなる結晶性の良いSOI層3を得る。

[0099] 以下、既存の方法で、NMOSトランジスタ形成領域とN-MOSトランジスタを形成し、PMOSトランジスタ形成領域とP-MOSトランジスタを形成することにより、シリコン層50及びSOI層3を形成する。

[0100] <製造方法(その3) (第3の態様)>図19～図22は実施の形態2の第3の態様の製造方法における積層分離工程を示す断面図である。図19～図22で示す方法は形成幅の異なる部分トレンチ形成による方法である。

[0101] まず、図19に示すように、部分トレンチ44Aと比較的幅の狭い部分トレンチ44Bを形成する。部分トレンチ44Aと比較的幅の広い部分トレンチ44Bとを形成する。部分トレンチ44Aが完全分離用であり、この部分トレンチ44Aが部分トレンチ44Bの形成用である。この部分トレンチ44Aが完全分離用であり、部分トレンチ44Bが部分トレンチ44Aの側壁を覆っている。

[0102] その後、図20に示すように、レジスト49をマスクとして、SOI層3に対するシリコンエッチングを行うことにより、部分トレンチ44Aの底面の中間部のSOI層3を含む、レジスト49が上部に形成されないSOI層3が除去され、埋め込み酸化膜2の表面が露出する。

[0103] 次に、図21に示すように、酸化膜を堆積し、通常のトレンチ分離と同様の手法でCMP処理によ

り電化膜41の除去を行うことにより、部分酸化膜31(及びその下のSOI層3)と酸化膜33(及びその下のSOI層3)とが選択的に形成された構造を得ることができる。

[0104] そして、図22に示すように、SOI基板上に、酸化膜41と電化膜42を堆積した後、パターニングしたレジスト213をマスクとして分離領域の後、電化膜42、酸化膜41の除去を行うことにより、部分酸化膜31(及びその下のSOI層3)と酸化膜33(及びその下のSOI層3)とが選択的に形成された構造を得ることができる。

[0105] 以下、既存の方法で、NMOSトランジスタ形成領域とN-MOSトランジスタを形成し、PMOSトランジスタ形成領域とP-MOSトランジスタを形成することにより、シリコン層50及びSOI層3を形成することにより、図23～図27で示す実施の形態2の第3の態様の製造方法である。

[0106] <製造方法(その4) (第4の態様)>図23～図27は実施の形態2の第4の態様の製造方法における積層分離工程を示す断面図である。図23～図27で示す方法は形成幅の異なる部分トレンチ形成による方法である。

[0107] まず、図23に示すように、シリコン層50を形成することにより、シリコン層50及びSOI層3が残存した部分トレンチ216と、中心部の下層4をマスクとして電化膜42及び酸化膜41とSOI層3の一部とをエッチングすることにより、下層4を形成する。

[0108] そして、図24に示すように、レジスト215を形成する。図24に示すように、レジスト215をマスクとして電化膜42及び酸化膜41とSOI層3が残存した部分トレンチ216と、中心部の下層4をマスクとして電化膜42及び酸化膜41とSOI層3が残存した非貫通部とからなる複合トレンチ217とを同時に形成する。

[0109] その後、図25に示すように、部分トレンチ44Bを出発材料とする。

[0110] そして、図26に示すように、比較的幅の広い部分トレンチ44Aと比較的幅の狭い部分トレンチ44Bとを形成する。部分トレンチ44Aが完全分離用であり、部分トレンチ44Bが部分分離用である。この部分トレンチ44A及び44Bは形成される。

[0111] 次に、図27に示すように、酸化膜を堆積し、通常のトレンチ分離と同様の手法でCMP処理によ

り電化膜41の除去を行うことにより、部分酸化膜31(及びその下のSOI層3)と酸化膜33(及びその下のSOI層3)とが選択的に形成された構造を得ることができる。

[0112] <製造方法(その5) (第5の態様)>図58～図62は実施の形態2の第5の態様の製造方法における積層分離工程を示す断面図である。

[0113] まず、図56に示すように、シリコン基板1、埋め込み酸化膜2及びSOI層3からなるSOI基板1が露出する。

[0114] 次に、図59に示すように、500nm程度の酸化膜41と電化膜42を堆積した後、バターニングしたレジスト213をマスクとして分離領域の後、電化膜42、酸化膜41の除去を行うことにより、部分酸化膜31(及びその下層のウェル領域)と酸化膜33(及びその下層のウェル領域)とが選択的に形成された構造を得ることができる。

[0115] 以下、既存の方法で、HDP(高密度プラズマ)CVD方式によって酸化膜を堆積し、通常のトレンチ分離と同様の手法でCMP処理により電化膜42の途中まで研磨し、その後、電化膜42、酸化膜41の除去を行うことにより、部分酸化膜31(及びその下のSOI層3)と酸化膜33(及びその下のSOI層3)とが選択的に形成された構造を得ることができる。

[0116] その後、図62に示すように、レジスト215をマスクとして電化膜42及び酸化膜41とSOI層3の一部とをエッチングすることにより、下層4を形成する。

[0117] その後、図62に示すように、HDP(高密度プラズマ)CVD方式によって酸化膜を堆積し、通常のトレンチ分離と同様の手法でCMP処理により電化膜42の途中まで研磨し、その後、電化膜42、酸化膜41の除去を行うことにより、部分酸化膜31(及びその下のSOI層3)と酸化膜33(及びその下のSOI層3)とが選択的に形成された構造を得ることができる。

[0118] <製造方法(その6) (第6の態様)>製造方法の筋道例として、部分分離により素子分離されたトランジスタのゲート電極形成後、あるいはコントラクトや隣接工程などの後工程に実施段階で、部分分離領域をSOI層3を貫通するようエッチング除去し、その後酸化膜を形成する。その後、酸化膜を形成する。

[0119] <その他>上記実施の形態2の製造方法は、トレンチ分離法としてSiN/SiO_xの層をSOI層上に形成して、素子分離用の酸化膜の埋め込みを行ったが、他の方法、SiN/SiO_xの構造に代えて、例えばSiN/poly-Si/SiO_xによる構造を用いて埋め込み後酸化を行い、トレンチの角丸を

行うなど、より多様な方法を行っても同様な効果を示すことは言うまでもない。

[0120] <実施の形態3>>

<第1の態様>図28はこの発明の実施の形態3であるSOI構造の半導体装置の第1の態様の構造を示す断面図である。

SOI構造の半導体装置の第1の態様の構造を示す断面図である。

2が除去された後、S01層3が上部に存在しない埋め込み酸化膜2の上層部を除去した部品94を形成する。

[0159] そして、図4-5に示すように、部品94にポリシリコンを埋め込むことにより、接続領域80用のポリシリコン埋め込み酸化膜2を形成する。

[0160] <製造方法(その1)> 図4-6～図4-8は接続領域80となるポリシリコン領域を形成するその1の工程をより具体的に示す断面図である。

[0161] まず、図4-6に示すように、S01基板のS01層3上にシリコン酸化膜91及びシリコン塗装膜92を堆積し、S01層3、シリコン酸化膜91及びシリコン塗装膜92をバーニングしてトレンチ分離を行った後、バーニング後のS01層3、シリコン酸化膜91及びシリコン塗装膜92の側面に側壁シリコン塗装93を形成する。

[0162] そして、図4-7に示すように、シリコン塗装92及び側壁シリコン塗装膜93をマスクとして、埋め込み酸化膜2に対するウェットエッチングを行い、S01層3の端部裏面の埋め込み酸化膜2を除去しないで、S01層3が上部に存在しない露出した埋め込み酸化膜93を形成する。

[0163] その後、図4-8に示すように、全面にポリシリコン層を堆積した後、ポリシリコン層をドライエッチャリングによりエッチバックすることにより、穴部94を形成する。

[0164] 以下、図4-1で示した工程のように、トレンチ化酸化膜を埋め込み等の方法により複数の素子形成領域を絶縁分離し、接続領域80外から電位固定可能なシリコン層を埋め込んで接続領域80用のポリシリコン層を形成する。

[0165] <製造方法(その2)> 図4-9～図5-1は接続領域80となるポリシリコン領域を形成するその2の工程を具体的に示す断面図である。

[0166] まず、既に取り上げた図4-6に示すように、S01層3、シリコン酸化膜91及びシリコン塗装膜92をバーニングしてトレンチ分離を行った後、バーニング後のS01層3、シリコン酸化膜91及びシリコン塗装膜92の側面に側壁シリコン塗装膜93を形成する。

[0167] そして、図4-9に示すように、シリコン塗装92及び側壁シリコン塗装膜93をマスクとして、埋め込み酸化膜2に対するウェットエッチングを行い、S01層3の端部裏面の埋め込み酸化膜2を除去しないがら、S01層3が上部に存在しない埋め込み酸化膜2の上層部を除去することにより、穴部94を形成する。

[0168] 次に、図5-0に示すように、S01層3の露出した裏面からのエビタキシャル成長により側壁シリ

コン塗装膜93下にエビタキシャル成長膜82を形成する。

[0169] その後、図5-1に示すように、全面にポリシリコン層を堆積した後、ポリシリコン層をエッチバックすることで、穴部94にポリシリコンを埋め込んだ後、接続領域80用のポリシリコン層を形成する。

その結果、エビタキシャル成長膜82とポリシリコン層83とからなる接続領域80を形成することができる。

S01層3上にシリコン酸化膜91及びシリコン塗装膜92を堆積し、S01層3、シリコン酸化膜91及びシリコン塗装膜92をバーニングしてトレンチ分離を行った後、バーニング後のS01層3、シリコン酸化膜91及びシリコン塗装膜92の側面に側壁シリコン塗装93を形成する。

[0170] そして、図4-7に示すように、シリコン塗装92及び側壁シリコン塗装膜93をマスクとして、埋め込み酸化膜2に対するウェットエッチングを行い、S01層3の端部裏面の埋め込み酸化膜2を除去しないで、S01層3が上部に存在しない露出した埋め込み酸化膜93を形成する。

[0171] その後、図4-8に示すように、全面にポリシリコン層を堆積した後、ポリシリコン層をドライエッチャリングによりエッチバックすることにより、穴部94を形成する。

[0172] <第3の態様> 図5-2は実施の形態6の第2の態様を示す断面図である。同図の構造は図4-1で示した構造(接続領域80、ボディーコンタクト2-3、ゲートコントロール2-4及び配線膜2-5を除く)か

ら、シリコン基板1及び埋め込み酸化膜2を研究により得た後、表面を反対にした後、新たな裏面にシリ

シリコン酸化膜83との堆積を十分とすることで、良好な電気的持性を得ることができる。

[0173] 第3の態様は結果的に接続領域80を表面

除去した後、裏面に反対にした後、新たな裏面にシリ

シリコン酸化膜83との堆積を十分とすることで、良

好な電気的持性を得ることができます。

[0174] <第4の態様> 図5-3は実施の形態6の第4の態様を示す断面図である。同図に示すように、埋め込み酸化膜2を貫通して接続領域80を形成している。

[0175] このように、第4の態様は、埋め込み酸化膜2を貫通して接続領域80を形成したため、支持基板

領域92をバーニングしてトレンチ分離を行った後、バーニング後のS01層3、シリコン酸化膜91及びシリコン塗装膜92の側面に側壁シリコン塗装膜93を形成する。

[0176] 次に、図5-0に示すように、S01層3の露出した裏面からのエビタキシャル成長により側壁シリ

コン塗装膜93下にエビタキシャル成長膜82を形成する場合、仮想ワ

ル領域10-4内にPMOS活性領域10-1及びPMOS

ボディーコンタクト領域10-2が選択的に設けられ、仮

想ワイヤル領域10-4外のP領域(図示せず)にNMO

S活性領域11-1及びNMOSボディーコンタクト領域

11-2を選択的に設けられる形が一般的である。

[0177] 一方、実施の形態2の第3の態様(図7)

等で示した複合分離領域によってNMOS、PMOS間

を分離する場合、仮想ワイヤル領域10-4と部分分離領域

がほぼ一致し、部分分離領域に連続して完全分離領域

が形成される。

[0178] 以上のように複合分離領域を用いた半導体裝

成領域はそれ自身所定の裏面を形成することにより、図

4-1あるいは図4-2で示した構造が完成する。

[0179] 第2の態様の構造は、エビタキシャル成長膜82を介している分、ドライエン領域あるいはソース

領域80とチャネル形成領域7とによるPN接合部分とボ

リシリコン領域83との堆積を十分とすることで、良

好な電気的持性を得ることができます。

[0180] <過去データに基づき第1及び第2のMO

トランジスタの形成領域(PMOS活性領域10-1、

STランジスタの形成領域10-2、NMOS活性

領域11-1、NMOSボディーコンタクト領域11-2)

が利用できる可能性は高い。

[0181] ②過去データに基づき第1及び第2のMO

トランジスタの形成領域(PMOS活性領域10-1、

STランジスタの形成領域10-2、NMOS活性

領域11-1、NMOSボディーコンタクト領域11-2)

が設定する。

[0182] ③上記過去データにおけるウェット領域を仮

想ワイヤル領域10-4として、ウェット領域10-5は接地レベルVs

に設定される。なお、PMOS活性領域13-3及び

NMOS活性領域14-3の中心部にはゲート電極13-4及

び14-4がそれそれ形成されている。

[0183] ボディーコンタクト領域13-5は電源電圧Vccに接続され、p'ボディーコンタクト領域14-5は接地レベルVsに設定される。

[0184] 同様に、p'ボディーコンタクト領域14-5はウェット領域14-2の抵抗成分R12を介して寄生バイオーラト

ランジスタ2-2のベースに接続されることになる。

[0185] ワイヤル領域13-2とが形成される。

[0186] [0187] これより寄生バイオーラトランジスタ2-2による寄生サイリスカがオノ搭載になると

ができる。

[0188] ④ウエル領域とそれを区別する領域であるため、仮想

ワイヤル領域10-4として、ウエル領域10-4の外

周辺領域に、完全分離領域10-5設定する。

[0189] ⑤仮想ワイヤル領域10-4は高電圧、NMOS

領域とPMOS領域とを区別する領域であるため、仮想

ワイヤル領域10-4として、ウエル領域10-4の外

周辺領域に、完全分離領域10-5設定する。

[0190] ⑥[0191] <第一の態様>>一般に、チャップ現象を避けるために、図6-5に示すように、入出力NMOS(トランジスタ形成領域)領域1-6と入出力PMOS(トランジスタ形成領域)領域1-16間の境界近傍領域を完全分離領域1-14で完全分離する構造が望ましい。なお、入出力NMOS領域10-6及び入出力PMOS領域11-6はそれをなさないというチャップ現象が起こる。

[0192] <第一の態様>>一般に、チャップ現象を避けるために、図6-5に示すように、入出力NMOS(トランジスタ形成領域)領域1-6と入出力PMOS(トランジスタ形成領域)領域1-16間の境界近傍領域を完全分離領域1-14で完全分離する構造が望ましい。なお、入出力NMOS領域10-6及び入出力PMOS領域11-6はそれをなさないというチャップ現象が起こる。

[0193] ⑦[0194] <第二の態様>>一般に、チャップ現象を避けるために、図6-5に示すように、入出力NMOS(トランジスタ形成領域)領域1-6と入出力PMOS(トランジスタ形成領域)領域1-16間の境界近傍領域を完全分離領域1-14で完全分離する構造が望ましい。なお、入出力NMOS領域10-6及び入出力PMOS領域11-6はそれをなさないというチャップ現象が起こる。

[0195] ⑧[0196] <第三の態様>>一般に、チャップ現象を避けるために、図6-5に示すように、入出力NMOS(トランジスタ形成領域)領域1-6と入出力PMOS(トランジスタ形成領域)領域1-16間の境界近傍領域を完全分離領域1-14で完全分離する構造が望ましい。なお、入出力NMOS領域10-6及び入出力PMOS領域11-6はそれをなさないというチャップ現象が起こる。

[0197] ⑨[0198] <第四の態様>>一般に、チャップ現象を避けるために、図6-5に示すように、入出力NMOS(トランジスタ形成領域)領域1-6と入出力PMOS(トランジスタ形成領域)領域1-16間の境界近傍領域を完全分離領域1-14で完全分離する構造が望ましい。なお、入出力NMOS領域10-6及び入出力PMOS領域11-6はそれをなさないというチャップ現象が起こる。

[0199] ⑩[0200] <第五の態様>>一般に、チャップ現象を避けるために、図6-5に示すように、入出力NMOS(トランジスタ形成領域)領域1-6と入出力PMOS(トランジスタ形成領域)領域1-16間の境界近傍領域を完全分離領域1-14で完全分離する構造が望ましい。なお、入出力NMOS領域10-6及び入出力PMOS領域11-6はそれをなさないというチャップ現象が起こる。

[0201] ⑪[0202] <第六の態様>>一般に、チャップ現象を避けるために、図6-5に示すように、入出力NMOS(トランジスタ形成領域)領域1-6と入出力PMOS(トランジスタ形成領域)領域1-16間の境界近傍領域を完全分離領域1-14で完全分離する構造が望ましい。なお、入出力NMOS領域10-6及び入出力PMOS領域11-6はそれをなさないというチャップ現象が起こる。

くラッチアップ現象>>図6-4はラッチアップ現象説明用

の説明図である。同図に示すように、PMOS領域3

1にNMOS領域14-1が隣接するCMOS構造では、

PMOS領域13-1内のPMOS活性領域13-3及び

ウエル領域13-2とNMOS領域14-1内のウェル領域

14-2とにより形成される寄生バイオーラトランジ

タ1と、NMOS領域14-1内のNMOS活性領域1

4-3及びウエル領域14-2とPMOS領域13-1内の

ウェル領域13-2と共に形成される寄生バイオーラト

ランジスタ2-2のベースに接続される。よ

り、ノイズによって寄生サイリスカがオノ搭載になると

電源電圧Vccから接地レベルVsにかけて電流が流れ、

ゼラニシブ現象が起こる。

[0190] <第一の態様>>一般に、チャップ現象を避けるために、図6-5に示すように、入出力NMOS(トランジ

ジスタ形成領域)領域1-6と入出力PMOS(トランジ

スタ形成領域)領域1-16間の境界近傍領域を完全分離

領域1-14で完全分離する構造が望ましい。なお、入出力

NMOS領域10-6及び入出力PMOS領域11-6はそ

れぞれ部分分離領域10-7及び部分分離領域11-7で周

辺領域と部分分離領域とが形成される。

[0191] <第二の態様>>一般に、チャップ現象を避けるために、図6-5に示すように、入出力NMOS(トランジ

スタ形成領域)領域1-6と入出力PMOS(トランジ

スタ形成領域)領域1-16間の境界近傍領域を完全分離

領域1-14で完全分離する構造が望ましい。

くラッチアップ現象>>図6-4はラッチアップ現象説明用

の説明図である。同図に示すように、PMOS領域3

1にNMOS領域14-1が隣接するCMOS構造では、

PMOS領域13-1内のPMOS活性領域13-3及び

ウエル領域13-2とNMOS領域14-1内のウェル領域

14-2とにより形成される寄生バイオーラトランジ

タ1と、NMOS領域14-1内のNMOS活性領域1

4-3及びウエル領域14-2とPMOS領域13-1内の

ウェル領域13-2と共に形成される寄生バイオーラト

ランジスタ2-2のベースに接続される。よ

り、ノイズによって寄生サイリスカがオノ搭載とな

れる。

くラッチアップ現象>>図6-4はラッチアップ現象説明用

の説明図である。同図に示すように、PMOS領域3

1にNMOS領域14-1が隣接するCMOS構造では、

PMOS領域13-1内のPMOS活性領域13-3及び

ウエル領域13-2とNMOS領域14-1内のウェル領域

14-2とにより形成される寄生バイオーラトランジ

タ1と、NMOS領域14-1内のNMOS活性領域1

4-3及びウエル領域14-2とPMOS領域13-1内の

ウェル領域13-2と共に形成される寄生バイオーラト

ランジスタ2-2のベースに接続される。よ

り、ノイズによって寄生サイリスカがオノ搭載とな

れる。

くラッチアップ現象>>図6-4はラッチアップ現象説明用

の説明図である。同図に示すように、PMOS領域3

1にNMOS領域14-1が隣接するCMOS構造では、

PMOS領域13-1内のPMOS活性領域13-3及び

ウエル領域13-2とNMOS領域14-1内のウェル領域

14-2とにより形成される寄生バイオーラトランジ

タ1と、NMOS領域14-1内のNMOS活性領域1

4-3及びウエル領域14-2とPMOS領域13-1内の

ウェル領域13-2と共に形成される寄生バイオーラト

ランジスタ2-2のベースに接続される。よ

り、ノイズによって寄生サイリスカがオノ搭載とな

れる。

くラッチアップ現象>>図6-4はラッチアップ現象説明用

の説明図である。同図に示すように、PMOS領域3

1にNMOS領域14-1が隣接するCMOS構造では、

PMOS領域13-1内のPMOS活性領域13-3及び

ウエル領域13-2とNMOS領域14-1内のウェル領域

14-2とにより形成される寄生バイオーラトランジ

タ1と、NMOS領域14-1内のNMOS活性領域1

4-3及びウエル領域14-2とPMOS領域13-1内の

ウェル領域13-2と共に形成される寄生バイオーラト

ランジスタ2-2のベースに接続される。よ

り、ノイズによって寄生サイリスカがオノ搭載とな

れる。

くラッチアップ現象>>図6-4はラッチアップ現象説明用

の説明図である。同図に示すように、PMOS領域3

1にNMOS領域14-1が隣接するCMOS構造では、

PMOS領域13-1内のPMOS活性領域13-3及び

ウエル領域13-2とNMOS領域14-1内のウェル領域

14-2とにより形成される寄生バイオーラトランジ

タ1と、NMOS領域14-1内のNMOS活性領域1

4-3及びウエル領域14-2とPMOS領域13-1内の

ウェル領域13-2と共に形成される寄生バイオーラト

ランジスタ2-2のベースに接続される。よ

り、ノイズによって寄生サイリスカがオノ搭載とな

れる。

くラッチアップ現象>>図6-4はラッチアップ現象説明用

の説明図である。同図に示すように、PMOS領域3

1にNMOS領域14-1が隣接するCMOS構造では、

PMOS領域13-1内のPMOS活性領域13-3及び

ウエル領域13-2とNMOS領域14-1内のウェル領域

14-2とにより形成される寄生バイオーラトランジ

タ1と、NMOS領域14-1内のNMOS活性領域1

4-3及びウエル領域14-2とPMOS領域13-1内の

ウェル領域13-2と共に形成される寄生バイオーラト

ランジスタ2-2のベースに接続される。よ

35

36

37

タQ11、NMOSトランジスタQ12によりCMOSインバータを構成し、PMOSトランジスタQ11、N MOSトランジスタQ12のゲートが入力部、ドレンが出力部となる。

10194)この回路例では、PMOSトランジスタQ1及びQ11が入力PMOS領域118に形成され、N MOSトランジスタQ2及びQ12が入力NMOS領域108に形成される。

10195)図67は出力回路の一例を示す回路である。同図に示すように、内部信号S1を受ける内部入力端子P3は出力パッファ123の入力部に接続され、出力パッファ123の出力部より傳れる信号が外部出力端子P4を介して出力信号OUTとして出力される。

10196)出力パッファ123はPMOSトランジスタQ13、NMOSトランジスタQ14によりCMOSインバータを構成し、PMOSトランジスタQ13、NMOSトランジスタQ14のゲートが入力部、ドレンが出力部となる。

10197)出力保護回路124はPMOSトランジスタQ3及びNMOSトランジスタQ4から構成され、P MOSトランジスタQ3のソース及びゲートが電源電圧Vccに接続され、ドレンが外部出力端子P4に接続される。NMOSトランジスタQ4のソース及びゲートが接地され、ドレンが外部出力端子P4に接続される。

10198)この回路例はPMOSトランジスタQ3及びQ13が入力PMOS領域118に形成され、N MOSトランジスタQ4及びQ14が入力NMOS領域108に形成される。

10199)このように、実施の形態8の第1の態様は、ラッチアップ現象が生じやすい入出力NMOS領域106、入出力PMOS領域116間の少なくとも境界近傍領域に完全分離領域114を形成して完全分離することにより、ラッチアップ現象が生じない構造にしている。

10200)また、実施の形態8の第1の態様はNMSOS領域、PMOS領域間に完全分離領域を設けるではなく、入出力NMOS領域、入出力PMOS領域の境界近傍領域のみに完全分離領域114を設けることにより、ラッチアップ現象を効果的に抑制しながら、回路形成面積の増大を最小限に抑えることができる。

10201)＜第2の態様＞なお、入出力NMOS領域106、入出力PMOS領域116間の完全分離は、図65のように、入出力NMOS領域106、入出力PMOS領域116間の境界近傍領域のみに設けて以外

10202)さらに、入出力NMOS領域106によって完全分離領域115を形成してもよい。

10203)＜第3の態様＞図69は実施の形態8の第3の態様を示す説明図である。同図に示すように、NMOS領域（入出力NMOS領域106、内部NMOS領域180）、PMOS領域（入出力PMOS領域111、内部PMOS領域190）間に加え、入出力領域（入出力PMOS領域116）、内部回路領域（内部NMOS領域180）間を完全分離領域110で完全分離している。

10204)第3の態様により、第1及び第2の態様の効果に加え、ノイズ影響を受けやすい入出力領域の影響を内部回路領域から完全に遮断することができる。

10205)＜実施の形態9＞

10206)第3の態様はこの発明の実施の形態9である。NMOS構造の半導体装置の第1の態様の平面構造を示す断面図である。これらの図に示すように、P型のウェル領域169内に形成されるNMOS領域126と、n型のウェル領域179内に形成されるPMOS領域136とが隣接して設けられる。

10207)NMOS領域126内に複数のゲート電極129を有するNMOS活性領域128が形成され、N MOS活性領域126と反対側のゲート電極129を有するNMOS活性領域128とp'ボディー領域130が形成され、NMOS活性領域128の周囲を部分分離領域127で囲っている。

10208)一方、PMOS領域136内に複数のゲート電極139を有するPMOS活性領域138とn'ボディー領域140が形成され、PMOS活性領域138と反対側のゲート電極139を有するPMOS活性領域138が形成され、PMOS活性領域138の周囲を部分分離領域141と部分分離領域142で囲っている。また、ウェル領域179の一方剛付近にp'ボディー領域130が設けられ

10209)このように、実施の形態8の第1の態様は、ラッチアップ現象が生じやすい入出力NMOS領域106、入出力PMOS領域116間の少くとも境界近傍領域に完全分離領域114を形成して完全分離することにより、ラッチアップ現象が生じない構造にしている。

10210)この回路例はNMSOS領域、PMOS領域116内におけるゲート電極139のPMOS活性領域136内におけるゲート電極139のPMOS活性領域126と部分分離領域127との境界近傍領域127とが形成され、PMOS活性領域136と部分分離領域127との境界近傍領域127で周囲と分離している。また、ウェル領域179の一方剛付近にp'ボディー領域140が設けられる。

10211)このように、実施の形態9の第2の態様は、ゲート電極の端部を部分分離領域によって分離して、ゲート電極下に存在するチャネル形成領域と部分分離領域のウェル領域とが接するように形成することにより、各トランジスタ形成領域の基板電位を固定することができる。

10212)なお、NMOS領域126及びPMOS領域136の周囲の大部分を完全分離領域125で囲ってお

る。図68に示す第2の態様のように、入出力NMOS領域106及び入力PMOS領域118を完全に囲うよう

38

る。

10210)＜第2の態様＞図72はこの発明の実施の形態9であるSOI構造の半導体装置の第2の態様の平面構造を示す断面図であり、図73は図72のB-B'断面構造を示す断面図である。これらの図に示すように、P型のウェル領域169内に形成されるNMOS領域128に形成されるチヤネル形成領域と接して形成されるため、ノイズやラッチアップの影響を受けやすい構造になつていている。

10218)しかしながら、実施の形態10の第1の態様は、部分分離領域127を囲つてp'ボディー領域146が形成されているため、p'ボディー領域146を他の

レベルに固定する等の基板固定を行うことにより、他の回路プロック、外部からノイズを遮断した回路プロック等に適している。なお、PMOS活性領域の場合は部分分離領域の周囲をp'ボディー領域で囲つて形成

10219)このよう構造の第1の態様は、ノイズノイズやラッチアップに対する耐性を大きく向上させることが可能である。

10220)＜第2の態様＞図75はこの発明の実施の形態10であるSOI構造の半導体装置の第2の態様の構造を示す平面図である。同図に示すように、入出力N

10221)入出力NMOS領域151とが隣接して形成される。NMSOS活性領域152とが隣接して形成される。NMSOS活性領域151と入出力PMOS領域152が隣接して形成される。

10222)入出力PMOS領域152において、PMOS活性領域152内に複数のゲート電極153が形成され、NMOS活性領域128の周囲を囲つて部分分離領域127Aを設けている。さらに、部分分離領域127Aの周囲を囲つてp'ボディー領域146を設けている。そして、p'ボディー領域146を囲つて部分分離領域127Bを設けている。

10223)一般に入出力回路はサージやノイズの影響をラッチアップ現象を防ぐ場合が多いため、ラッチアップ現象やノイズ耐性を高めることが特に重要となる。

10224)実施の形態10の第2の態様では、入出力NMOS領域151及び入出力PMOS領域152それ

の部分分離領域127A及び137Aをp'ボディー領域146及びn'ボディー領域147で囲うことによ

り、サージに影響でウェル領域の電位が上昇して生じる

10225)第2の態様では、NMOS、PMOS活性領域126、部分分離領域127間を完全分離領域120によって接線分離しながら面積効率を高めた配

74のE-E'断面構造を示す断面図である。なお、図101は図

8内に複数のゲート電極129が形成され、NMOS活性領域128の周囲を囲つて部分分離領域127を設けている。さらに、部分分離領域127の周囲を囲つてp'ボディー領域147を囲うことによ

り、サージに影響でウェル領域の電位が上昇して生じる

10226)ラッチアップ現象を抑制することができる。

10227)第2の態様では、NMOS、PMOS活性領域126、部分分離領域127間を完全分離領域120によって接線分離しながら面積効率を高めた配

74のE-E'断面構造を示す断面図である。

10228)境界近傍領域に、少なくともp'ボディー領域を設ければ、

純粋領域は少なくとも側面に設けられた部分絶縁層とそれ以外の領域に設けられた低誘電率層とを含むため、部分絶縁領域の側面方向に形成される粒子の影響を部分絶縁層によって効果的に抑制しながら、部分絶縁領域の容積に基づく不具合を抑えることができる。

[0328]請求項10記載の半導体装置において複数の粒子分離領域の少なくとも1つの領域は所定の形成幅で前記半導体基板の表面に近いほど垂直に延びて形成されため、集積度を保証することなく粒子分離が見える。

[0329]この発明によれば請求項1記載の半導体装置のボディー領域は複数の粒子形成領域のうち、少なくとも1つの粒子形成領域の裏面あるいは裏面に接する領域を上記ボディー領域によって電位固定することができる。

[0330]請求項2記載の半導体装置において、ボディー領域は、SOI層下の埋め込み絶縁層の上端部で形成されるため、粒子分離領域による粒子分離特性に与える影響を最小限に抑えることができる。

[0331]請求項13記載の半導体装置において、ボディー領域は、埋め込み絶縁層を貫通して形成されるため、半導体基板から上記少なくとも1つの粒子形成領域を上記ボディー領域として電位固定することができ

[0332]請求項4記載の半導体装置において、ボディー領域は、少なくとも1つの粒子形成領域の上方に設けられ、少なくとも1つの粒子形成領域の裏面に接するため、比較的簡単に形成することができる。

[0333]請求項15記載の半導体装置は、粒子分離領域のうち少なくとも一部の領域は、SOI層を貫通し完全絶縁領域と部分分離領域とが連続して形成される複合分離領域を含んでおり、複数の粒子形成領域のうち複合分離領域によって分離される粒子形成領域は、複合分離領域の完全絶縁領域によって完全に绝缘分離することができる。

[0334]請求項16記載の半導体装置の部分分離領域の上面は凹凸なく均一に形成されるため、MOSトランジスタのゲート電極の形成領域の裏面に接するため、部分分離領域によってMOSトランジスタ形成領域の周辺領域に形成され、完全絶縁領域は、部分分離領域形成箇所を除くMOSトランジスタ形成領域の周辺領域に形成されるため、MOSトランジスタのゲート電極下方のチャネル形成領域の電位固定を効果的に行なうながら、完全分離領域によってMOSトランジスタ形成領域を周囲からほぼ完全に分離することができる。

[0335]請求項17記載の半導体装置の複合分離領域の半導体領域の構成層は、SOI層の構成層の1/2以下に設定されるため、複合分離領域によって十分高精度な分離性を得ることができる。

[0336]請求項18記載の半導体装置の複合分離領域において完全絶縁領域は複合分離領域全体の形成幅の1/2以下に設定されるため、複合分離領域を構成する部分分離領域の半導体領域の面積を十分確保でき、この半導体領域に接した粒子形成領域の電位固定を

含むため、部分分離領域による分離によるパンチスルーパスの向上を図ることができる。

[0345]請求項2記載の半導体装置の比較的の不純物濃度が高い第1の部分半導体領域はMOSトランジスタ形成領域のゲート電極近傍領域を含み、比較的の不純物濃度が低い第2の部分半導体領域はMOSトランジスタ形成領域との境界近傍領域を含むため、PN接合部の間の境界近傍領域にさらに形成されるため、ノイズ影響を受けやすい入出力用トランジスタ形成領域の影響を内蔵回路形成領域から完全に遮断することができ

[0346]請求項2記載の半導体装置の部分分離領域における半導体領域の不純物濃度のピークが、MOSトランジスタ形成領域のドレイン/ソース領域の不純物濃度のピークより、SOI層の表面からの深さが深くな

るよう設計されるため、ドレイン/ソース領域と半導体領域との間にPN接合部圧を高めることができる。

[0347]請求項2記載の半導体装置のMOSトランジスタ形成領域のチャネル形成領域の不純物濃度ピーカが、部分分離領域における半導体領域の不純物濃度のピークより、SOI層の表面からの深さが深くなるよう設計されるため、MOSトランジスタの漏電流が、部分分離領域の少なくとも1つの領域と接し

[0348]請求項3記載の半導体装置において、完全絶縁領域の境界を面積効率よく完全分離することができ

[0349]請求項3記載の半導体装置は、部分分離領域の表面における角部の曲率半径よりも底面における角部の曲率半径を大きくすることにより、分離幅の縮小を図りながらSOI層にかかるストレス緩和を図つてい

[0350]請求項3記載の半導体装置は、複合分離領域において、部分半導体領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図りながらSOI層にかかるストレス緩和を図つてい

[0351]請求項3記載の半導体装置において、完全分離領域と部分分離領域との間に生じる段差部の曲率半径を小さくすることにより、分離幅の縮小を図りながらSOI層にかかるストレス緩和を図っている。

[0352]請求項3記載の半導体装置において、完全分離領域はインタクタンス形成領域の下方に形成されるため、インタクタンス成分に付随する寄生容量の低減

[0353]請求項3記載の半導体装置の複合分離領域において完全絶縁領域は複合分離領域全体の形成幅の1/2以下に設定されるため、複合分離領域によって十分高精度な分離性を得ることができる。

[0354]請求項3記載の半導体装置において完全絶縁領域は、SOI層の構成層の1/2以下に設定されるため、複合分離領域を構成する第1及び第2の部分半導体領域の半導体領域を構成する第1及び第2の部分半導体領域を構成するため、ソース領域に接続してソース領域と共通接続されるため、ソース領域に接続してソース

領域の形成深さはピルトイド形状時に電子の活性領域から伸びる空乏層が埋め込み絶縁層に到達しないレベルに設定されるため、部分分離領域の半導体領域と活性領域との間の接合容量の低減化を図ることができる。

[0355]請求項3記載の半導体装置のゲートドライバートランジスタは、第1及び第2の活性領域間に形成された部分半導体領域との境界近傍領域を含むため、PN接合部に設けられたファーレルドトランジスタ用部分絶縁領域とT層部に存在するSOI層の一部であるファーレルドトランジスタ用半導体領域とから構成されるゲート部により構成される。

[0356]ゲート部の構成は部分分離領域と基本的に同じ構成であるため、部分分離領域と同時にゲート部を構成することにより、比較的容易にファーレルドトランジスタを構成することができる。

[0357]請求項3記載の半導体装置の周辺部子分離領域は、上端部に設けられた部分分離領域と下端部に存在するSOI層の一部である半導体領域から構成される部分分離領域を含み、上記部分分離領域の半導体領域は複数の粒子形成領域の少なくとも1つの領域と接し

て形成されるとともにフローティング状態に設定されたために、部分分離領域により粒子形成領域を周囲から分離するとともに、上記少なくとも1つの領域内で側面電極により発生するキャリアや宇宙線によって発生する電荷等を上記半導体領域に分散させることができたため、電位上昇を抑え、ソフトエラー耐性の向上させることができ

[0358]請求項3記載の半導体装置の製造方法によつて形成される複数の粒子形成領域は、第1のトレーンチ内の絶縁層とその下方のSOI層によって基板遊離効果を仰ぐ粒子分離がなされるとともに、SOI層を貫通した第2のトレーンチ内の絶縁層によって完全な粒子分離がなされる。

[0359]請求項4記載の半導体装置の製造方法によつて形成される複数の粒子形成領域は、第1及び第2のトレーンチ間の形成層の違いを利用して、側壁部をマスクとして第2のトレーンチの中心部下のSOI層を貫通させることにより、レジストを用いることなく部分分離領域と完全分離領域とを選択的に形成することができる。

[0360]請求項4記載の半導体装置の製造方法は、複数のトレーンチの下方のSOI層に不純物を導入して高濃度領域を形成することにより、高精度度領域を介して高濃度領域に接する粒子形成領域を安定・良好・電位固定することができる。

[0361]この発明によれば請求項4記載の半導体装置において完全絶縁領域は複合分離領域全体の形成幅の1/2以下に設定されるため、複合分離領域を構成する部分分離領域の半導体領域を構成する第1及び第2の部分半導体領域の半導体領域の面積を十分確保でき、この半導体領域に接した粒子形成領域の電位固定を

正確性良く行なうことができる。

[0362]請求項5記載の半導体装置において複数の粒子形成領域の部分分離領域は、SOI層の構成層の形成領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0363]請求項6記載の半導体装置において複数の粒子形成領域の部分分離領域は、SOI層を貫通し完全絶縁領域と部分分離領域とが連続して形成される複合分離領域を含んでおり、複数の粒子形成領域のうち複合分離領域によって分離される粒子形成領域は、複合分離領域の完全絶縁領域によって完全に绝缘分離することができる。

[0364]請求項7記載の半導体装置において複数の粒子形成領域の部分分離領域は、SOI層の構成層の形成領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0365]請求項8記載の半導体装置において複数の粒子形成領域の部分分離領域は、SOI層の構成層の形成領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0366]請求項9記載の半導体装置において複数の粒子形成領域の部分分離領域は、SOI層の構成層の形成領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0367]請求項10記載の半導体装置において複数の粒子形成領域の部分分離領域は、SOI層の構成層の形成領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0368]請求項11記載の半導体装置において複数の粒子形成領域の部分分離領域は、SOI層の構成層の形成領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

含むため、部分分離領域によるパンチスルーパスの向上を図ることができる。

[0369]請求項12記載の半導体装置の比較的の不純物濃度が高い第1の部分半導体領域はMOSトランジスタ形成領域のゲート電極近傍領域を含み、比較的の不純物濃度が低い第2の部分半導体領域はMOSトランジスタ形成領域との境界近傍領域を含むため、PN接合部の間の接合容量の低減化を図ることができる。

[0370]請求項13記載の半導体装置のゲートドライバートランジスタは、第1及び第2の活性領域間に形成された部分半導体領域との境界近傍領域を含むため、PN接合部に設けられたファーレルドトランジスタ用部分絶縁領域とT層部に存在するSOI層の一部であるファーレルドトランジスタ用半導体領域とから構成されるゲート部により構成される。

[0371]請求項14記載の半導体装置のゲート部の構成は部分分離領域と同時にゲート部を構成するため、部分分離領域と同時にゲート部を構成することができる。

[0372]請求項15記載の半導体装置において複数の粒子形成領域の部分分離領域は、上端部に設けられた部分分離領域を含み、上記部分分離領域の半導体領域は複数の粒子形成領域の少なくとも1つの領域と接し

て形成されるとともにフローティング状態に設定されたために、部分分離領域により粒子形成領域を周囲から分離するとともに、上記少なくとも1つの領域内で側面電極により発生するキャリアや宇宙線によって発生する電荷等を上記半導体領域に分散させることができたため、電位上昇を抑え、ソフトエラー耐性の向上させることが可能である。

[0373]この発明によれば請求項16記載の半導体装置において複数の粒子形成領域は、部分分離領域の製造方法によつて形成される半導体装置において複数の粒子形成領域のうちの1つが、部分分離領域の下方のSOI層とによって基板遊離効果を仰ぐ粒子形成領域のうち、少なくとも1つのトレーンチ内の絶縁層とその下方のSOI層とによって粒子分離がなされる。上記半導体領域に対し、基板遊離効果を仰ぐ粒子分離がなされる。

[0374]請求項17記載の半導体装置において複数の粒子形成領域の部分分離領域は、複合分離領域によって形成され、複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0375]請求項18記載の半導体装置において複数の粒子形成領域の部分分離領域は、複合分離領域によって形成される複数の粒子形成領域は、複合分離領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0376]請求項19記載の半導体装置において複数の粒子形成領域の部分分離領域は、複合分離領域によって形成される複数の粒子形成領域は、複合分離領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0377]請求項20記載の半導体装置において複数の粒子形成領域の部分分離領域は、複合分離領域によって形成される複数の粒子形成領域は、複合分離領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0378]請求項21記載の半導体装置において複数の粒子形成領域の部分分離領域は、複合分離領域によって形成される複数の粒子形成領域は、複合分離領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0379]この発明によれば請求項22記載の半導体装置において複数の粒子形成領域は、複合分離領域によって形成される複数の粒子形成領域は、複合分離領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0380]請求項23記載の半導体装置において複数の粒子形成領域の部分分離領域は、複合分離領域によって形成される複数の粒子形成領域は、複合分離領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0381]請求項24記載の半導体装置において複数の粒子形成領域の部分分離領域は、複合分離領域によって形成される複数の粒子形成領域は、複合分離領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0382]請求項25記載の半導体装置において複数の粒子形成領域の部分分離領域は、複合分離領域によって形成される複数の粒子形成領域は、複合分離領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0383]請求項26記載の半導体装置において複数の粒子形成領域の部分分離領域は、複合分離領域によって形成される複数の粒子形成領域は、複合分離領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0384]請求項27記載の半導体装置において複数の粒子形成領域の部分分離領域は、複合分離領域によって形成される複数の粒子形成領域は、複合分離領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0385]請求項28記載の半導体装置において複数の粒子形成領域の部分分離領域は、複合分離領域によって形成される複数の粒子形成領域は、複合分離領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0386]請求項29記載の半導体装置において複数の粒子形成領域の部分分離領域は、複合分離領域によって形成される複数の粒子形成領域は、複合分離領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0387]請求項30記載の半導体装置において複数の粒子形成領域の部分分離領域は、複合分離領域によって形成される複数の粒子形成領域は、複合分離領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0388]請求項31記載の半導体装置において複数の粒子形成領域の部分分離領域は、複合分離領域によって形成される複数の粒子形成領域は、複合分離領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

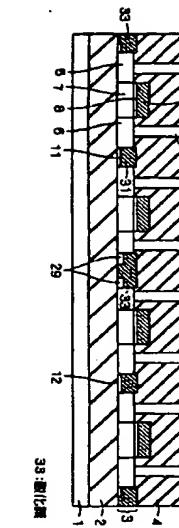
[0389]請求項32記載の半導体装置において複数の粒子形成領域の部分分離領域は、複合分離領域によって形成される複数の粒子形成領域は、複合分離領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[0390]請求項33記載の半導体装置において複数の粒子形成領域の部分分離領域は、複合分離領域によって形成される複数の粒子形成領域は、複合分離領域の周辺領域に接するため、複数の粒子形成領域の部分分離領域とその下方の部分半導体領域との間に生じる段差部の曲率半径を小さくすることにより、部分分離領域の底面における角部よりも底面を小さくすることにより、分離幅の縮小を図つて形成される複数の粒子形成領域を周囲からほぼ完全に分離することができる。

[図7]

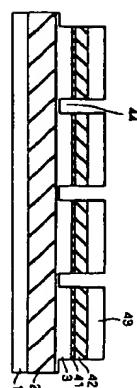
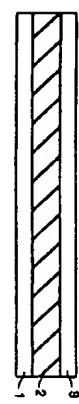
[図16]

[図18]



[図8]

[図9]



[図10]

[図11]



[図12]



[図13]



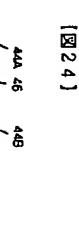
[図14]



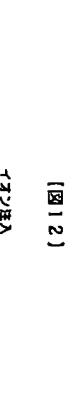
[図15]



[図16]



[図17]



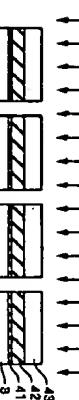
[図18]



[図19]



[図20]



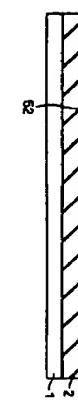
[図21]



[図22]



[図23]



[図24]



[図25]



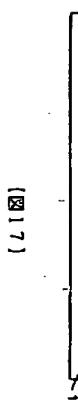
[図26]



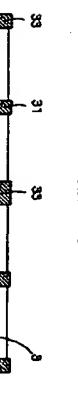
[図27]



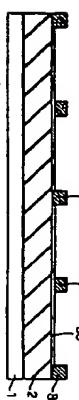
[図28]



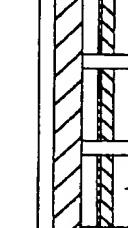
[図29]



[図30]

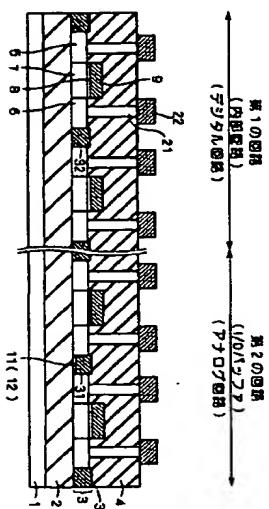


[図31]



[図32]

182

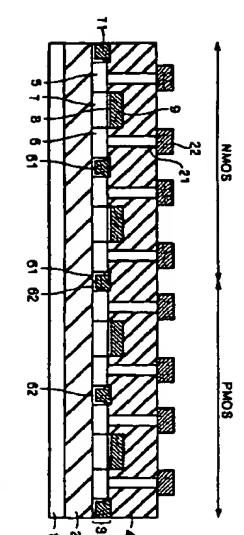


[图28]

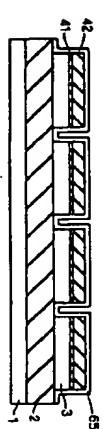


A detailed technical diagram of a printed circuit board (PCB) cross-section. The board consists of several layers: a top layer with diagonal hatching, a middle ground plane layer, and a bottom layer with horizontal hatching. A central vertical via structure connects the top and bottom layers. On the left side, there are two rectangular pads labeled '1' and '2'. On the right side, there are several rectangular pads labeled '3', '4', '5', '6', '7', '8', '9', '10', '11', and '12'. A horizontal line labeled '13' extends from the center of the board towards the left. A vertical line labeled '14' extends downwards from the center. A small circle labeled '15' is located near the bottom center. A label '16' is positioned above the top layer. A label '17' is positioned to the left of the top layer. A label '18' is positioned to the right of the top layer. A label '19' is positioned below the top layer. A label '20' is positioned to the left of the middle ground plane layer. A label '21' is positioned to the right of the middle ground plane layer. A label '22' is positioned below the middle ground plane layer.

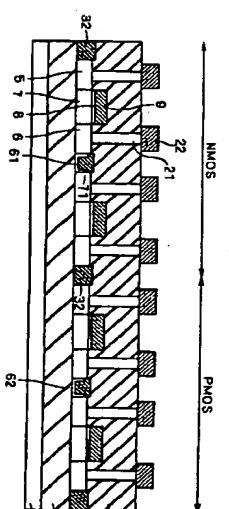
103



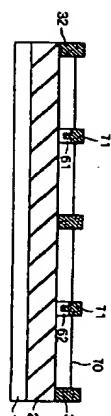
[四三四]



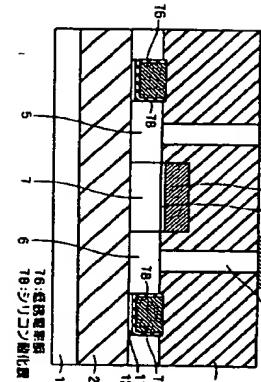
一
四



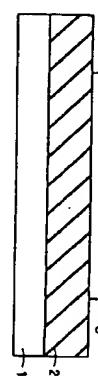
137



[83]

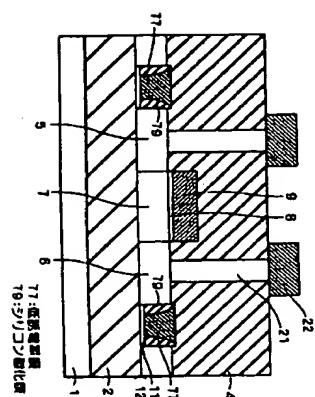


[43]

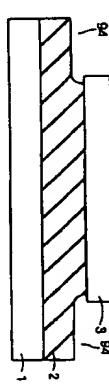


[38]

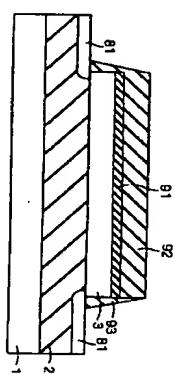
[図40]



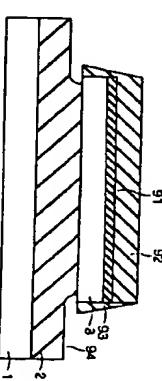
[図44]



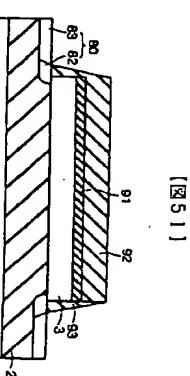
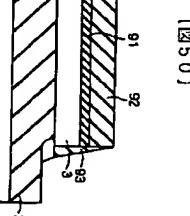
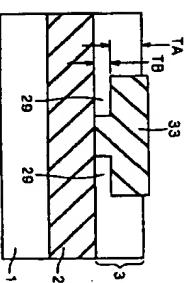
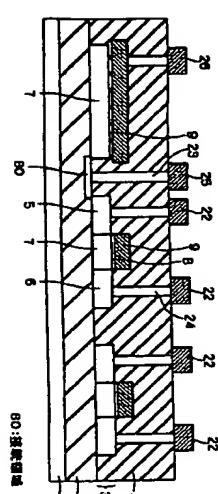
[図48]



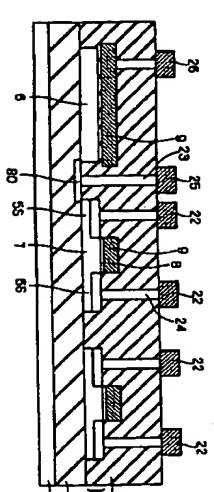
[図49]



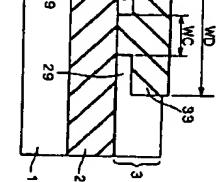
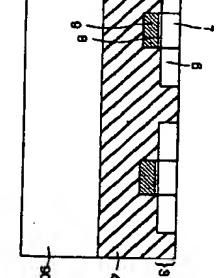
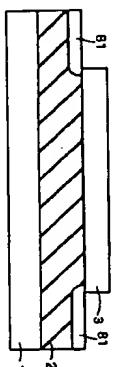
[図41]



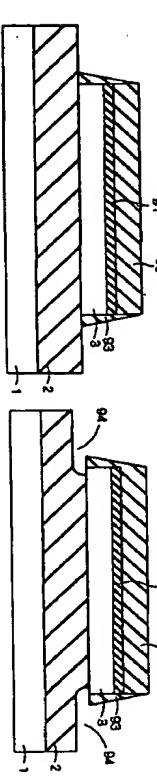
[図42]



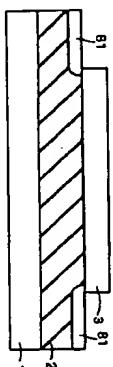
[図45]



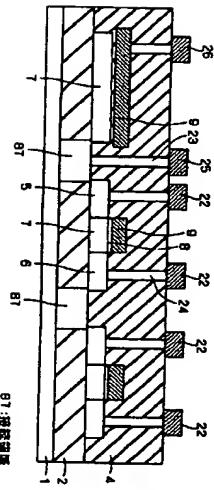
[図48]



[図47]



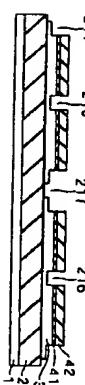
[図53]



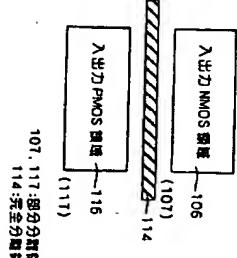
[図49]



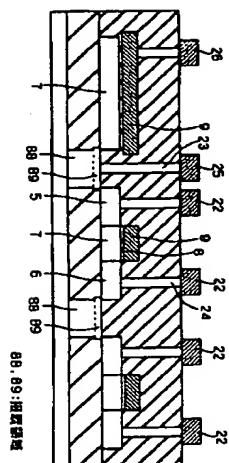
[図58]



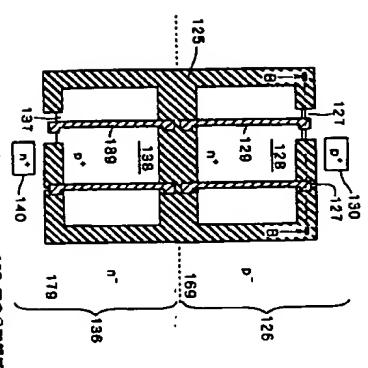
[図61]



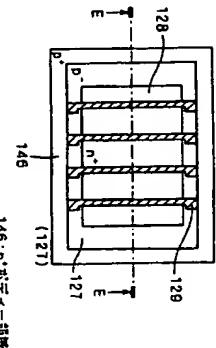
[図54]



〔四七二〕



[四七四]



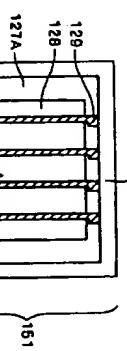
1976

[图82]

四三八

四九八

157



[۷۷]

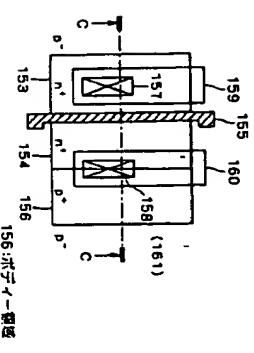
(78)

[16]

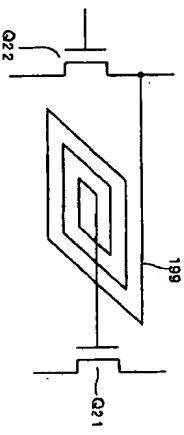
[84]

188

161

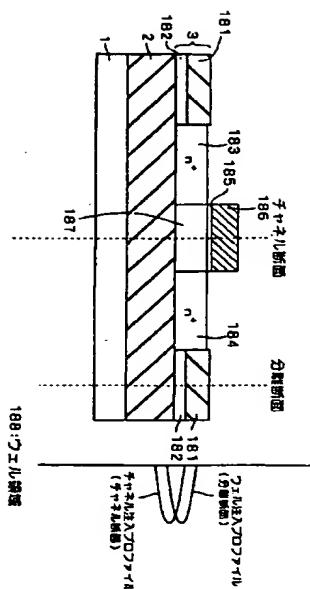


156

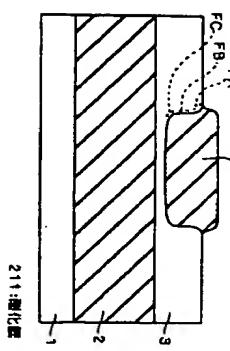


1
5

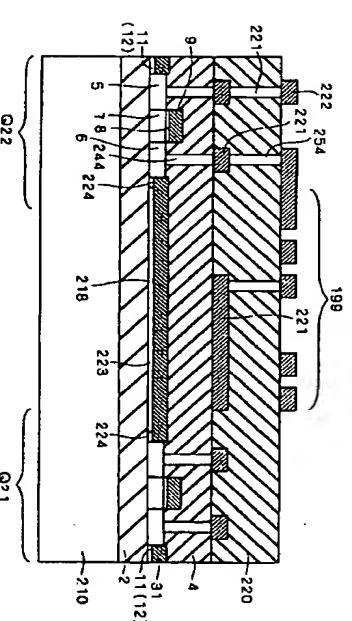
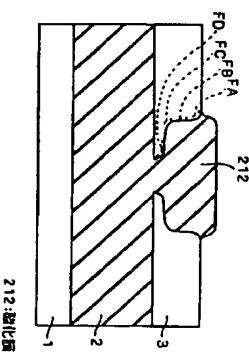
[図85]



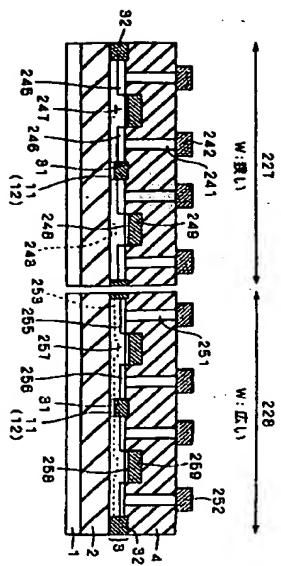
[図88]



[図89]

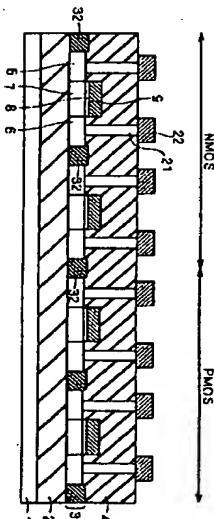


[図94]



245, 255: F レイテンス層
246, 256: ジース基底

[図102]



(72)発明者 一注師 隆志 東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 岩松 俊明 東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 前田 改伸 東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 平野 有一 東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

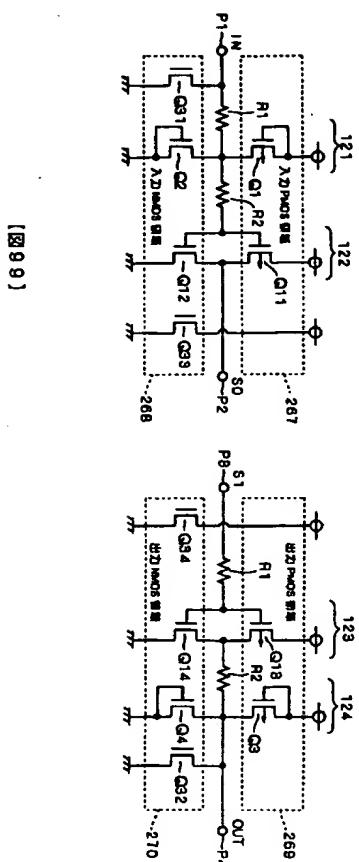
(72)発明者 松本 拓也 東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

(72)発明者 宮本 昭一 東京都千代田区丸の内二丁目2番3号 三
菱電機株式会社内

F ターム(参考) 5F032 AA01 AA07 AA14 AA44 AA77
BA03 BA06 CA17 CA20 CA21
DA01 DA12 DA22 DA33 DA43
DA44 DA77
5F048 AA00 AA03 AB03 AB06 AB07
AB10 AC04 AC10 BA09 BB03
BB15 BC11 BC16 BC01 BC07
BC14 CC01 CC15 CL19
5F110 AA15 AA21 BB04 CC02 DD05
DD13 DD24 FF02 GG02 GG12
GG24 HH05 HL03 HM02 NM02
NM13 QQ30

フロントページの続き

[図98]



[図99]

